

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-089773

(43)Date of publication of application : 04.04.1989

(51)Int.Cl.

H04N 5/66
G02F 1/133
G09G 3/20
H04N 5/66

(21)Application number : 63-206491

(71)Applicant : PHILIPS GLOEILAMPENFAB:NV

(22)Date of filing : 22.08.1988

(72)Inventor : CARLSON ALLAN I

(30)Priority

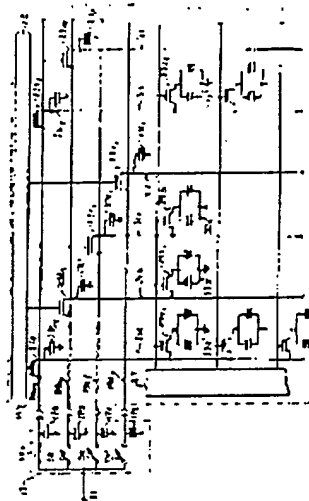
Priority number : 87 88762 Priority date : 24.08.1987 Priority country : US

(54) ADDRESS DEVICE FOR ACTIVE DISPLAY

(57)Abstract:

PURPOSE: To improve the reliability of an operation by forming a sample/hold circuit so that the sampling of video information can be successively attained at a speed for storing one picture element of the video information in each sample hold circuit.

CONSTITUTION: The output terminals of a samplet/hold circuit 13 are connected to signal lines 19a and 19d on a substrate 14. Each signal line 19a and 19d is connected through connecting switches with plural vertical source line storage capacitors. For example, the line 19a is connected through switches 23a1 and 23a2 with storage capacitors 21a1 and 21a2. After the (n) picture elements of the first set of video information are connected to the signal lines 19a and 19d, the samplethold circuit 13 is recycled, and a set of switches 23a1 and 23d1 are successively inactivated, and the picture elements of the next set of video information are connected with the next set of vertical source line capacitors by the successive operation of the next set of thin film transistor switches. This process is repeated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭64-89773

⑫ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和64年(1989)4月4日
H 04 N 5/66		B-7605-5C	
G 02 F 1/133	3 3 2	8708-2H	
G 09 G 3/20		7335-5C	
H 04 N 5/66	1 0 2	B-7605-5C	審査請求 未請求 請求項の数 17 (全 11 頁)

⑭ 発明の名称 能動ディスプレイ用アドレス装置

⑮ 特 願 昭63-206491

⑯ 出 願 昭63(1988)8月22日

⑰ 優先権主張 ⑱ 1987年8月24日 ⑲ 米国(US) ⑳ 088762

㉑ 発 明 者 アラン・イワン・カー アメリカ合衆国ニューヨーク州10510 プリアークリフ
ルソン マナー クレスト ドライブ56

㉒ 出 願 人 エス・ベー・フィリツ オランダ国5621 ベーアー アンド・フエン フルーネバ
プス・フルーイランベ ウツウエツハ1
ンファブリケン

㉓ 代 理 人 井理士 杉村 曉秀 外1名

明 細 書

1. 発明の名称 能動ディスプレイ用アドレス装置

2. 特許請求の範囲

1. 列のディスプレイ素子を各々関連の記憶コンデンサを有する垂直ソースラインに結合したマトリクスパターン状に形成したディスプレイ素子を使用する形式の能動アドレスディスプレイにおいて、

入力信号をサンプリングして、各信号サンプルが時間間隔 t_s にわたって得られるような組の n 個の順次的に発生するサンプリング信号を与えるための手段と、

該順次的に発生する信号サンプルを該サンプリング手段から該記憶コンデンサに伝送するため該サンプリング手段と該記憶コンデンサ間に結合した手段と、

該コンデンサに記憶されたサンプリング信号を該マトリクスパターンの行に配列したディスプレイ素子に伝送するため該垂直ソー

スラインに結合した手段とを含むことを特徴とする能動ディスプレイ用アドレス装置。

2. 該伝送手段は、

該組の n 個の順次的に発生するサンプリング信号を順次的に受けるよう結合した n 個の信号ラインと、

各信号サンプルを時間間隔 $t_s = n \times t_d$ の間該記憶コンデンサに結合するための信号ラインスイッチ手段とを含むことを特徴とする請求項1記載の装置。

3. 該信号ラインスイッチ手段は m グループの n 個の信号ラインスイッチを含み、各信号ラインスイッチを該信号ラインの各々に結合した m 個のスイッチコンデンサ配列を与えるような方法で該記憶コンデンサの1つに結合するようにしたことを特徴とする請求項2記載の装置。

4. 該サンプリング手段は、

該信号ラインに対応して結合し、かつ該入力信号を逐次的にサンプリングして各々が持

特開昭64-89773(2)

設時間 t_i にわたって取られた信号サンプル及び $n \times t_i$ 間隔におけるサンプルを与えるよう構成し、配置した n 個のサンプリングスイッチと、

該信号サンプルを記憶するため該サンプリングスイッチに対応して結合した n 個のサンプルコンデンサで、各サンプルコンデンサは関連の信号ラインに結合した該 m 個のスイッチに結合するため該関連の信号ラインに信号サンプルを与えるようにしたものとを含むことを特徴とする請求項1記載の装置。

5. 該ディスプレイ素子、該信号スイッチおよび該記憶コンデンサを基板上に設け、該サンプルコンデンサにおける該サンプリングスイッチを該基板の外部に設けるようにしたことを特徴とする請求項1記載の装置。

6. 該転送手段は、

該組の n 個の順次的に発生するサンプリング信号を順次的に受信するよう結合した複数の信号ラインと、

複数の出力端子を有し、該出力端子に作動信号の遅延を与えるための手段と、

各々該複数の信号ラインのうち1つの信号ラインと該1つの信号ラインに関連する記憶コンデンサ間に結合した複数の信号ラインスイッチとを含む、該複数の信号ラインスイッチをして、1つのグループ内のすべてのスイッチをそのグループ内のすべての信号ラインスイッチに共通な駆動信号手段の1つの出力端子に結合することにより、該グループ内のすべてのスイッチが該1つの出力端子における駆動信号により同時に駆動されるような複数のグループの信号ラインスイッチを形成せしめ、かくして、グループ内の信号ラインを関連する記憶コンデンサに結合させるようにしたことを特徴とする請求項1記載の装置。

7. 該サンプリング手段と該転送手段との間にバッファ増幅手段を設けたことを特徴とする請求項1記載の装置。

- 3 -

- 4 -

8. 行および列のディスプレイ素子を含むマトリクスパターン状に形成し、列のディスプレイ素子を垂直ソースラインに結合するようにしたディスプレイ素子を使用する形式のディスプレイ装置において、

入力信号をサンプリングして組の n 個の順次的に発生するサンプリング信号を与えるための手段と、

該順次的に発生する信号サンプルを該サンプリング手段から該垂直ソースラインに転送するため該サンプリング手段と該垂直ソースライン間に結合した手段と、所定の行のすべてのディスプレイ素子をそれぞれ対応する垂直ソースラインに同時に結合するため行のディスプレイ素子に結合した手段とを含むことを特徴とするディスプレイ装置。

9. 該転送手段は、

該組の n 個の順次的に発生するサンプリング信号を順次的に受信するよう結合した複数の信号ラインと、

複数の出力端子を有し、該出力端子に作動信号の遅延を与えるための手段と、

各々1つの信号ラインと該1つの信号ラインに関連する垂直ソースライン間に結合した複数の信号ラインスイッチとを含む、該複数の信号ラインスイッチをして、1つのグループのすべてのスイッチをそのグループ内のすべての信号ラインスイッチに共通な駆動信号手段の1つの出力端子に結合することにより、グループ内のすべてのスイッチが該1つの出力端子における作動信号により同時に駆動されるような複数のグループの信号ラインスイッチを形成せしめ、かくして、グループ内の信号ラインを関連する垂直ソースラインに結合させるようにしたことを特徴とする請求項8記載の装置。

10. 駆動アドレスディスプレイ内のディスプレイ素子にビデオ情報の面素を結合する方法において、

複数のサンプル・ホールド回路に信号を結

- 5 -

- 6 -

特開昭64-89773(3)

合するステップと、

該サンプル・ホールド回路を順次のかつ循環的に作動させ、該回路内にビデオ情報の画像を順次的に記憶させるステップと、該ビデオ情報の画像を1作動サイクルの間該サンプル・ホールド回路に対応する信号ラインに結合させるステップと、

該ビデオ情報の画像を1サイクルインターバルに等しい時間にわたって該駆動アドレスディスプレイの垂直ソースライン記憶コンデンサに伝送するステップと、

該垂直ソースライン記憶コンデンサのすべてがそのなかにビデオ情報の画像を記憶したとき、該垂直ソースライン記憶コンデンサに記憶された該ビデオ情報の画像を該駆動アドレスディスプレイの画像素子に伝送するステップとを含むことを特徴とする駆動アドレスディスプレイのディスプレイ素子にビデオ情報画像を結合する方法。

11. 該信号を該サンプル・ホールド回路に結合

するステップは、

該信号を該駆動の順次のかつ循環的に作動可能なサンプリングスイッチに結合するステップと、

記憶素子を該サンプリングスイッチに対応的に結合するステップとを含むことを特徴とする請求項10記載の方法。

12. 各々関連の記憶コンデンサを有する垂直ソースラインに結合した列のディスプレイ素子を含むマトリクスパターン状に形成したディスプレイ素子を負えた入力信号に対応するディスプレイを生成する装置において、

該入力信号をサンプリングして、各信号サンプルが時間間隔 t_s 内に得られ、時間間隔 $t_s = nt_1$ の間保持されるような組の n 個の順次的に発生するサンプリング信号を与えるための手段と、

該順次的に発生するサンプリング信号を該サンプリング手段から該記憶コンデンサに伝送し、1つの記憶コンデンサへの各伝送が該

- 7 -

- 8 -

時間間隔 t_s 以内に行われるようにするため、該サンプリング手段と該記憶コンデンサ間に結合した手段と、

該記憶コンデンサに記憶されたサンプリング信号を該マトリクスパターンを生成するディスプレイ素子に伝送するため該垂直ソースラインに結合した手段とを含むことを特徴とする入力信号に対応するディスプレイを生成する装置。

13. 該伝送手段は、

該組の n 個の順次的に発生するサンプリング信号を順次的に受信するよう結合した n 個の信号ラインと、

各信号サンプルを時間間隔 t_s の間記憶コンデンサに結合するための信号ラインスイッチ手段とを含むことを特徴とする請求項12記載の装置。

14. 該信号ラインスイッチ手段は m グループの n 個の信号ラインスイッチを含み、各信号ラインスイッチを該信号ラインの各々に

結合した m 個のスイッチコンデンサ組合を与えるような方法で該記憶コンデンサの1つに結合するようにしたこととを特徴とする請求項13記載の装置。

15. 該サンプリング手段は、

該入力信号を順次的にサンプリングして、各々が持続時間 t_1 にわたって取られた信号サンプルおよびインターバル $n \times t_1$ におけるサンプルを与えるようにするため、該信号ラインに対応的に結合した n 個のサンプリングスイッチと、

該時間間隔 t_1 の間該各信号サンプルを記憶するため、該サンプリングスイッチに対応して結合した n 個のサンプリングコンデンサで、各サンプリングコンデンサにより、関連の信号ラインに結合した該 m 個のスイッチに結合するため、該関連の信号ラインに該サンプルを与えるようにしたものを含むことを特徴とする請求項14記載の装置。

16. 該ディスプレイ素子、該信号スイッチおよび

- 9 -

- 10 -

特開昭64-89773(4)

び記憶コンデンサを基板上に設け、反タンプリング スイッチおよび反タンブル コンデンサを基板板の外側に設けるようにしたことを特徴とする請求項15記載の装置。

17. 垂直ソース ライン記憶コンデンサを有する駆動アドレス ディスプレイのディスプレイ素子にビデオ情報の画面を結合する方法において、

該ビデオ情報の画面を関連時間間隔 t_1 内に n 画面にわたって順次的にタンプリングすることにより、タンプリングされた画面の値を生成するステップと、

タンプリングされた画面の値をサイクル インターバル $t_2=nt_1$ にわたってホールドするステップと、該タンプリングされた画面の値を該サイクル インターバルの間該駆動アドレス ディスプレイの該垂直ソース ライン記憶コンデンサに伝送するステップと、該垂直ソース ライン記憶コンデンサのすべてがその中にビデオ情報の画面を記憶した

とき、該垂直ソース ライン記憶コンデンサ内に記憶された反タンプリング画面の値を該駆動アドレス ディスプレイの該画面素子の対応する素子に伝送するようにしたことを特徴とするディスプレイ素子にビデオ情報画面を結合する方法。

- 11 -

- 12 -

3. 発明の詳細な説明

(産業上の利用分野)

本発明は駆動アドレス ディスプレイ(active addressed display)の分野に関するもので、特に、垂直ソース ライン スイッチに対して比較的長いスイッチング時間を許容し、かつこのスイッチングに関しディスプレイ基板において比較的小さなTFTの使用を可能とするようなアドレス回路に関するものである。

(従来の技術)

駆動アドレスTFTディスプレイは通常、その多々を N 個の水平行および M 個の垂直列のマトリクス状に配置した素子セルにより形成するを可とする複数のディスプレイ ユニットを使用している。この場合、ディスプレイ ユニットは、ビデオ信号ラインを逐次的にタンプリングして、 M 個の垂直列のディスプレイ素子に結合したソース ラインに関連する記憶コンデンサ内にビデオ情報の画面を記憶させる働きをするアドレッシング回路によりアドレスされる。ソース ライン記憶素子に

結合したソース ライン スイッチは、通常 M 個の段を有するシフト レジスタにより形成した水平スイッチ作動信号発生器により駆動動作させるようにする。かくして、ソース ライン スイッチは順次的にターン オンおよびターン オフされ、画面情報をディスプレイのソース ラインに接続した記憶素子に伝送する。画面情報の記憶のために必要なスイッチング時間は水平走査時間の $1/M$ に等しい。水平走査が終了すると、通常、 N 個の段を有するシフト レジスタにより形成した垂直スイッチ作動信号発生器が水平走査ラインに対応する行のスイッチを同時に作動させ、記憶された画面情報を行のディスプレイ素子に伝送する。かくして、各行の画面スイッチング素子は1フレームインターバルの間に1回循環し、1フレーム周期の間に各ディスプレイ素子がアドレスされる。

上述のように、垂直ソース ライン記憶コンデンサを充電するのに使用しうる時間は水平走査ラインに沿う画素エレメントの数で水平走査時間を除いた値により決められる。スイッチング時間は

- 13 -

- 14 -

特開昭64-89773(5)

標準NTSCライン走査時間および1走査ラインに沿って640の画素(解像)エレメントの場合、約100 nsである。

能動アドレス ディスプレイの寸法および価格を低減させるためには、画素情報をディスプレイ素子に伝送するため使用するのと同じ形式の薄膜トランジスタを用いてディスプレイの基板上にアドレス回路を集積させることが望ましい。この配座は、ディスプレイ素子を包む基板の外側にアドレス回路を配置する場合に必要とする相互接続の数を大幅に減少させる。薄膜トランジスタは低いチャージ キャリア移動度を有するため、所定のトランジスタ面積に対し高いON抵抗を有し、したがって記憶コンデンサを充電するのに長い充電時間を要する必要がある。能動アドレス アレイのマトリクス配置においては、必要とするチャージを100ns またはそれ以内のうちにソース ライン記憶コンデンサに伝送しうる薄膜トランジスタは高いチャネル長対比を必要とし、したがって基板上にかなり大きな面積を占有することになる。

また、これらの大面積トランジスタは生産性が低い。つまり、作動上の信頼性がかなり低いという欠点を有する。

本発明の目的は、ディスプレイ基板上に集積した小さいが比較的長いスイッチング時間をもった薄膜トランジスタを使用した能動アドレス ディスプレイを考へ、しかも品位の低下をきたすことのないようなビデオ ディスプレイを提供しようとするものである。

(発明の要約)

本発明の原理によるときは、能動アドレス ディスプレイの基板上に位置する複数の信号ラインを基板外に位置する複数のサンプル・ホールド回路に対応的に結合している。これらのサンプル・ホールド回路は、最適なスイッチング時間を与えるため、単一の結晶材料から製作することができる。前記サンプル・ホールド回路は、各サンプル・ホールド回路にビデオ情報の1つの画素を記憶させるような速度でビデオ情報を順次的にサンプリングするよう形成する。記憶されたビデオ情報

- 15 -

の画素はサンプル・ホールド回路に対応する信号ライン上にホールドされるようにし、この場合、ビデオ情報の画素はサンプル・ホールド回路のサンプリング時間に、使用することの可能な回路の数を集めたものに等しい時間の間記憶されるようにする。これは、サンプル・ホールド回路のサンプリング時間に基板上の信号ラインの数を集めたものに等しい時間間隔にわたっての垂直ソース ライン記憶コンデンサへの画素情報の転送を可能にする。

各信号ラインは、ソース ライン スイッチを介して複数の垂直ソース ライン記憶コンデンサに結合する。信号ラインあたりのこれらのコンデンサの数はビデオ走査ライン内の画素の数を信号ラインの数で除することにより決められる。前記信号ラインはサンプル・ホールド回路により順次的に付勢され、サンプル・ホールド回路の全サイクルの間付勢され続けるようにする。かくして、最初のサイクルが終了した後、各信号ライン上の第1記憶コンデンサに画素情報が記憶される。次いで、

- 16 -

サンプル・ホールド回路は再充電し、同じようにして、信号ラインに結合した第2記憶コンデンサにビデオ情報の画素が記憶される。このプロセスは完全な走査ラインのビデオ情報の画素が記憶されるまで重複する。この時点で、垂直ソース ライン記憶コンデンサに記憶された信号が記憶水平ビデオ走査ラインに対応するディスプレイ素子に同時に結合されるようにする。

本発明の第2実施例の場合は、若干数のソース ライン スイッチを水平スイッチ作動信号発生器、またはシフト レジスタからの単一パルスにより同時に作動させており、複数の互に平行な信号ライン上の画素情報をホールドするようにしている。また、これらのサンプル・ホールド回路および信号ラインは2つの同じグループに分割する。第1グループのソース ライン スイッチのゲートはシフト レジスタの第1出力段に結合する。この第1グループのソース ライン スイッチは第1グループの信号ライン上の画素情報を受

- 17 -

- 18 -

特開昭64-89773(6)

1グループのソースラインに転送しうよう結合する。また、第2グループのソースラインスイッチのゲートをシフトレジスタの第2出力段に結合する。この第2グループのソースラインスイッチは第2グループの信号ライン上の画素情報を第2グループのソースラインに転送しうよう結合する。また、第3グループのソースラインスイッチのゲートをシフトレジスタの第3出力段に結合する。この第3グループのソースラインスイッチは第1グループの信号ライン上の画素情報を第3グループのソースラインに転送しうよう結合する。このソースラインスイッチの構成は、すべてのソースラインスイッチがスイッチグループでシフトレジスタの出力段に結合されるまで送られるものとする。また、奇数ナンバーグループのソースラインスイッチは第1グループの1/2倍の信号ラインからの画素情報を奇数ナンバーグループのソースラインに転送し、偶数ナンバーグループのソースラインスイッチは第2グループの信号ライ

ンからの画素情報を偶数ナンバーグループのソースラインに転送するようにしている。また、この場合、垂直ソースラインスイッチに対し比較的長いスイッチング時間を許容するような信号ラインおよびソースラインスイッチに関する他のグルーピングも可能である。

作動に際しては、画素情報は第1実施例の場合のように、逐次的に信号ライン上にスイッチされる。かくして、画素情報が第1グループの信号ライン上にあらわれた後、第1グループのソースラインスイッチがターンオンしてその画素情報を第1グループのソースラインに転送する。この転送期間の間に、画素情報は逐次的に第2グループの信号ライン上にスイッチされる。画素情報が第2グループの信号ライン上に置かれた後、第2グループのソースラインスイッチがターンオンして第2グループのソースライン上に画素情報を転送する。また、この転送期間の間に、新しい画素情報が第1グループの信号ライン上に現れるようにする。このプロセスは、1ラインの

- 19 -

- 20 -

ビデオ情報がソースライン記憶コンデンサに転送されるまで送返し行うものとする。かくして、第1実施例の場合のように、ビデオ走査ラインに対応するゲートラインがターンオンされて、画素情報は同時にディスプレイ素子に転送される。このスイッチング配置はソースラインスイッチを作動させるのに使用する段数をより少なくし、より低減なシフトレジスタの使用を可能にする。また、シフトレジスタとソースラインスイッチ間の接続の数を少なくできることは、シフトレジスタをディスプレイの基板の外に位置させることを実質的とし、しかもディスプレイの基板と駆動電子回路間の相互接続の数をかなり減少させることを可能とする。

また、本発明の他の実施例においては、対応するビデオ情報の走査ラインのサンプリングがスタートしたとき、行の画素エレメントスイッチをターンオンさせている。この方法は画素情報をサンプル・ホールド回路から行に送る画素エレメントに直接転送することを可能にするので、ソ

ースライン記憶コンデンサを設けることが不要となる。

さらに、本発明の他の実施例の場合は、サンプル・ホールド記憶コンデンサと信号ラインとの間に高入力インピーダンスのバッファ増幅器を結合するようにしており、かくしてサンプリングの性能を低下させることなくサンプル・ホールド回路内のコンデンサの小容量化を可能にしている。また、この場合には、アレイをアドレスするために必要な電圧はバッファ増幅器の電源から供給することができる。

(実施例)

以下図面により本発明を説明する。

第1図において、サンプル・ホールド回路13のビデオ入力端子11にはビデオ走査ラインを結合する。前記回路13は、スイッチング速度および電流駆動の要求に合致させるため、ディスプレイ素子を含む基板14から離れた位置に第一結晶性材料により形成する可とする。また、説明目的のため、図においては、サンプル・ホールド回路13は記憶

- 21 -

- 22 -

特開昭64-89773(7)

コンデンサ17a ないし17d に結合した一組のスイッチ結合15a ないし15d の形で示してある。サンプル・ホールド回路13の出力端子は基板14上の信号ライン19a ないし19d に結合する。かくして、入力端子11に結合したビデオ走査ラインはスイッチ15a ないし15d を順次的にターン オンおよびターン オフして対応する記憶コンデンサ17a ないし17d を入力端子11に結合することによりサンプルされるようにする。この場合、スイッチング速度は、各記憶コンデンサが、ビデオ情報の1つの画素を記憶するのに十分な時間にわたり入力端子に結合されるよう調整する。1つのコンデンサが充電された後、画素情報を表す信号は、当該コンデンサを入力端子に結合するスイッチが再び転送するまで、対応する信号ライン上にとどまる。したがって、スイッチング時間が遅延時間の場合、表示信号は時間 $t_2 = n \times t_1$ の間、信号ライン上に保持される。そこで、 n は基板上の信号ラインの数であり、図示実施例の場合は4に等しい。

各信号ライン19a ないし19d は、結合スイッチ

を介して複数の垂直ソース ライン記憶コンデンサに結合する。例えばライン19a の場合は、スイッチ23a および23a' を介して記憶コンデンサ21a および21a' に結合する。また、例えば、シフトレジスタにより形成するを可とするスイッチ作動回路25は、スイッチ23a ないし23d を順次的に作動させ、信号ライン19a ないし19d 上のビデオ情報の画素を垂直ソース ライン記憶コンデンサに転送するよう同期させる機能を有する。この転送は時間間隔 $t_3 = n \times t_1$ にわたって行われるので、基板14上のスイッチ23a ないし23d は、基板上に占める面積が比較的小さい遅延トランジスタのような低速動作形のもので済まえない。最初の組のビデオ情報の n 画素が信号ライン19a, 19d に結合された後は、サンプル・ホールド回路13はリサイクルされて、組のスイッチ23a ないし23d は逐次的に不活性となり、次の組の遅延トランジスタスイッチの逐次的作動により次の組のビデオ情報の画素が次の組の垂直ソース ライン コンデンサに結合されるというプロセスが繰り返す。図におい

- 23 -

- 24 -

ては、後述する組のスイッチおよびコンデンサとして、スイッチ23a, 23b および関連の垂直ソース ライン記憶コンデンサ21a, 21b のみを示してある。プロセスは、1ビデオ走査ラインを完成するため m 組の n 個のこのようなコンデンサを含むすべての垂直ソース ライン記憶コンデンサがビデオ情報の画素で充電されるまで継続する。

すべての垂直ソース ライン記憶コンデンサが充電された場合は、行の $m \times n = M$ 遅延スイッチ（図にはそのうち4つのスイッチ23a, 23b, 23c および23d を示す）が垂直パルス発生器27により活性となり、記憶されたビデオ情報の画素を記憶コンデンサ21から M 垂直ソース ライン（図にはそのうち6つのライン31a ~ 31f を示す）を介して、行の M ディスプレイ素子（図にはそのうち4つの素子33a, 33b, 33c および33e を示す）に転送することを可能にする。このプロセスは各ビデオ走査ラインに対して繰り返される。

以上、個々のサンプル・ホールド回路の順次的スイッチングに関し本発明を説明してきたが、い

くつかの変形も可能であり、このような変形の一例を第2図に示す。この場合は、複数のソース ライン スイッチをグループ化し、水平スイッチ作動回路からの単一出力パルスにより同時に作動させるようにしており、例えば、グループ35a ないし35d をシフト レジスタ38から結合されたライン37上のパルスにより同時に作動させ、グループ39a ないし39d をシフト レジスタ38から結合されたライン41上のパルスにより作動させるよう形成する。また、偶数のサンプル・ホールド回路を使用して同数の信号ライン上の画素情報を保持するようにしており、第2図においては、8つのこの種サンプル・ホールド回路43a ないし43h を対応する8本のライン45a ないし45h に結合する例を示している。第1グループ(h/2)のソース ライン スイッチ、第2図の35a ないし35d はシフト レジスタ38の第1出力段に結合する。この第1グループのソース ライン スイッチ35a ないし35d は、サンプル・ホールド回路43a ないし43d により信号ライン45a ないし45d 上に得られ

- 25 -

- 26 -

特開昭64-89773(8)

る第1グループの4つの信号サンプルの面差情報をソース ライン51a ないし51d を介して第1グループのソース ライン記憶コンデンサ49a ないし49d に結合させる。また、第2グループのソース ライン スイッチ39a ないし39d はシフトレジスタ38の第2出力段に結合する。この第2グループのソース ライン スイッチ39a ないし39d はサンプル・ホールド回路43a ないし43h により第2グループの信号ライン45e ないし45h 上に得られる第2グループの4つの信号サンプルの面差情報を第2グループのソース ライン53a ないし53d を介して第2グループの記憶コンデンサ53a ないし53d に結合させる。

第3グループのソース ライン スイッチ57a ないし57d はシフトレジスタ38の第3出力段から結合されたライン59上のパルスにより活性化される。この第3グループのソース ライン スイッチはサンプル・ホールド回路43a ないし43d により得られる第3グループの4つの信号サンプルにおける面差情報をソース ライン63a ないし

63d を介してソース ライン コンデンサ61a ないし61d に転送する。第4グループのソース ライン スイッチ（図示せず）はシフトレジスタ38の第4出力段により活性化され、第2グループのサンプル・ホールド回路43e ないし43h から得られる第4グループの4つの信号サンプルを第4グループのソース ライン コンデンサに結合させる。シフトレジスタの出力段に結合したソース ライン スイッチ、ソース ラインおよびソース ライン記憶コンデンサのグルーピングはソース ライン記憶コンデンサのすべてがサンプル・ホールド回路に結合されるまで繰返される。この配置においては、奇数番号グループのソース ライン スイッチは最初の $n/2$ 信号ラインからの面差情報を奇数番号グループのソース ラインに転送し、偶数番号グループのソース ライン スイッチは第2グループの $n/2$ 信号ラインからの面差情報を偶数番号グループのソース ラインに転送する。信号ラインおよびソース ライン スイッチの他のグルーピングは至直ソース ライン

- 27 -

スイッチに対して比較的長いスイッチング時間を与えることを可能にする。

作動に際しては、面差情報は前述したと同じようにして信号ライン上にスイッチされる。面差情報が第1グループの信号ライン上に置かれた後、第1グループのソース ライン スイッチがターンオンされて、面差情報を第1グループのソース ライン上に転送する。この転送周期の間に、面差情報は順次にサンプル・ホールド回路から第2グループの信号ラインに結合される。かくして、面差情報が第2グループの信号ライン上に進むと、第2グループのソース ライン スイッチがターンオンされて、面差情報が第2グループのソース ライン上に転送され、この第2周期の間に新しい面差情報が第1グループの信号ライン上にあらわれる。この新しい面差情報が第3グループの信号ライン上にあらわれると、第3グループのソース ライン スイッチがターンオンされて、面差情報を第3グループのソース ライン上に転送する。このプロセスは、ビデオ情報の走

査ラインがその走査ライン用のソース ライン記憶コンデンサに転送されるまで繰返される。その時間には、垂直シフトレジスタ64のような垂直スイッチ作動回路からのパルスにより、そのビデオ走査ラインに対応するゲート ラインがターンオンされ、同時に、面差情報が前述のようにしてディスプレイ素子に転送される。このようにして、より少ない段数の低速シフトレジスタを使用してソース ライン スイッチを作動させることが可能となる。また、このシフトレジスタとソース ライン スイッチ間に必要とする接続がより少なくてすむので、シフトレジスタをディスプレイの基板から離して配置することが実利的となり、かつ、基板と駆動電子回路間の相互接続を比較的少なくすることができる。

再び図2図において、サンプル・ホールド回路43a ないし43h と信号ライン45a ないし45h との間には、それぞれに対応して、高入力インピーダンスバッファ増幅器65a ナイン65h を結合する。これらのバッファ増幅器はサンプル・ホールド回

- 29 -

- 30 -

特開昭64-89773(9)

路の保持容量をより少なくし、しかも適正な入力ビデオ信号のサンプリングを与えることを可能にする。この場合、バッファ増幅器は電源を必要とするので、アレイのアドレスに必要な電流はそれから抽出することができる。

上述のように、行の画素エレメントスイッチを同時にターンオンし、サンブル・ホールド回路によるビデオ情報の対応する走査ラインのサンブル・ホールド回路をスタートさせるようにした本発明装置の作動においては、回路系の活性化の変遷をはかることが可能となる。

次に、第3図はサンブル・ホールド回路から走査行(scan row)に沿って画素エレメントに画素情報を伝送しようよう形成した本発明装置例の概略図を示す。第1グループのソースラインスイッチ71は、サンブル・ホールド回路73がビデオ情報の走査ラインのサンプリングを開始すると活性化される。この第1グループのソースラインスイッチ71の作動と同時に、サンプリングされているビデオ情報の走査ラインに対応する画

素エレメントスイッチ75の全ラインが垂直シフトレジスタ77のような垂直スイッチ作動回路により活性化される。ソースラインスイッチ71は、対応する第1グループのサンブル・ホールド素子よりのすべての画素情報が画素エレメントに伝送されるまで、活性状態を保持する。第2グループのソースラインスイッチ79は第1グループのソースラインスイッチ71が作動してからある時間間隔後に活性となり、第2グループのソースラインスイッチ79に対応する第2グループのサンブル・ホールド素子から対応する画素エレメントへの画素情報の時宜を得た伝送を可能にする。第3グループのソースラインスイッチ81は、第2グループのソースラインスイッチ79が作動してから、ある時間間隔経過後に活性となる。第2グループの起動と第3グループの起動との間の時間間隔は第1グループの起動と第2グループの起動との間の時間間隔に等しい。第3グループのソースラインスイッチ81の作動は第1グループのサンブル・ホールド回路からの画素

- 3 1 -

- 3 2 -

情報の伝送を許容する。このようなグループのソースラインスイッチの逐次的起動は走査ラインが完了するまで継続する。この手順はソースライン記憶コンデンサの配線を必要としない。

本発明は本明細書に記載の実施例に限定されるものではなく、本発明は他の変形をも包含するものである。

4. 図面の簡単な説明

第1図ないし第3図は本発明装置の実施例の概略図である。

11…ビデオ入力端子

13, 43a ~ 43h, 73 …サンブル・ホールド回路

14…基板

15a ~ 15d, 23a ~ 23d, 23a₂, 23b₂ …スイッチ

17a ~ 17d, 21a₁ ~ 21d₁, 21a₂, 21b₂, 49a ~ 49d, 53a ~ 53d, 61a ~ 61d …記憶コンデンサ

19a ~ 19d, 45a ~ 45h …信号ライン

25, 33 …スイッチ作動回路(シフトレジスタ)

27, 64, 77 …垂直シフトレジスタ

29a₁ ~ 29c₁, 29a₂ …伝送スイッチ

31a ~ 31f, 51a ~ 51d, 55a ~ 55d, 63a ~ 63d …垂直ソースライン

33a ~ 33c, 33e …ディスプレイ素子

35a ~ 35d, 39a ~ 39d, 57a ~ 57d, 71, 79, 81 …

ソースラインスイッチ

81 …ソースラインスイッチ

37, 41, 59 …ライン

65a ~ 65h …バッファ増幅器

75 …画素エレメントスイッチ

特許出願人 エス・ピー・フィリップス・フルーイランベンフアブリケン

代理人弁理士 杉 村 隆 秀

同 弁理士 杉 村 典 作

- 3 3 -

- 3 4 -

特開昭64-89773(11)

